

PAT-NO: JP02002016234A

DOCUMENT-IDENTIFIER: JP 2002016234 A

TITLE: FERROELECTRIC THIN-FILM MEMORY DEVICE AND METHOD OF  
MANUFACTURING THE SAME

PUBN-DATE: January 18, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
SUENAGA, KAZUFUMI	N/A
OGATA, KIYOSHI	N/A
YOSHIZUMI, KEIICHI	N/A
MORI, MITSUHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP2000196262

APPL-DATE: June 26, 2000

INT-CL (IPC): H01L027/105, H01L027/108, H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a high-quality semiconductor memory device, having high manufacturing yields by realizing a high-performance ferroelectric capacitor, having a high remanence value and little film fatigue.

SOLUTION: In the semiconductor memory device, using the ferroelectric thin-film capacitor as a memory capacitor, spaces between crystal grains (grain boundaries) of a ferroelectric thin film 12 in the capacitor are filled with fine crystals or amorphous grains, which are a dielectric substance to achieve a high remanence value and small film fatigue (the number of times the data can be rewritten is large), thus realizing the high-quality semiconductor memory device having a high manufacturing yield.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-16234

(P2002-16234A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl.  
H 01 L 27/105  
27/108  
21/8242

識別記号

F I  
H 01 L 27/10

マーク(参考)  
444C 5F083  
651

審査請求 未請求 請求項の数14 OL (全9頁)

(21)出願番号 特願2000-196262(P2000-196262)

(22)出願日 平成12年6月26日(2000.6.26)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 末永 和史

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 尾形 漢

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

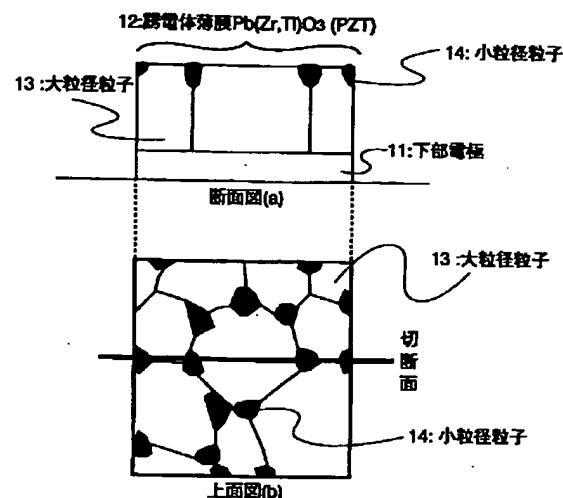
(54)【発明の名称】 強誘電体薄膜メモリ素子及びその製造方法

(57)【要約】

【課題】高い残留分極値や小さい膜疲労を有する高性能な強誘電体キャバシタを実現し、高品質で製造歩留りの高い半導体メモリ素子を提供する。

【解決手段】強誘電体薄膜キャバシタをメモリキャバシタとして用いる半導体メモリ素子において、キャバシタ中の強誘電体薄膜12の結晶粒子間(粒界)に誘電体である微結晶あるいは非晶質粒子を充填することにより、高い残留分極値や小さい膜疲労(大きい書き換え可能回数)を得ることを可能とし、高品質で製造歩留りの高い半導体メモリ素子を実現する。

図 1



## 【特許請求の範囲】

【請求項1】 強誘電体薄膜コンデンサをメモリキャパシタとして用いる半導体メモリ素子において、該コンデンサは少なくとも下部電極、強誘電体薄膜及び上部電極の積層構造からなり、該強誘電体薄膜の膜厚方向を法線とした面内において、結晶粒子間（粒界）に誘電体である微結晶あるいは非晶質粒子あるいは両者混在した粒子が充填されていることを特徴とする半導体メモリ素子。

【請求項2】 上記請求項1の半導体メモリ素子において、該強誘電体薄膜の結晶粒子が膜厚方向に平行な柱状形状をもち、該柱状結晶粒子が膜厚方向で不連続あるいは連続に結晶粒径サイズ変化させて、緻密な結晶粒で構成した強誘電体薄膜であることを特徴とする半導体メモリ素子。

【請求項3】 上記請求項1乃至2の半導体メモリ素子において、該強誘電体薄膜の表面粗さとして、該薄膜表面の平均面に対する最高値と最低値との差が、該強誘電体薄膜の平均膜厚に対して40%以下にあることを特徴とする半導体メモリ素子。

【請求項4】 上記請求項1、2乃至3の半導体メモリ素子において、該強誘電体薄膜の表面粗さの標準偏差が15nm以下にあることを特徴とする半導体メモリ素子。

【請求項5】 上記請求項1、2、3乃至4の半導体メモリ素子において、該強誘電体薄膜および誘電体膜としてペロブスカイト構造を有する $ABO_3$ 型酸化物を使用し、該強誘電体薄膜および誘電体膜が基板に対して垂直方向に(111)優先配向であることを特徴とする半導体メモリ素子。

【請求項6】 上記請求項5の半導体メモリ素子において、該強誘電体薄膜および誘電体膜がその少なくとも一部に $ABO_3$ の結晶あるいは非晶質あるいは両者の混合物であり、AはPb、La、Sr、NdおよびBaの中から少なくとも1つの元素、BはZr、Ti、Mn、Mg、Nb、Sn、SbおよびInの中から選択される少なくとも1つの元素よりなることを特徴とする半導体メモリ素子。

【請求項7】 上記請求項1、2、3、4、5乃至6の半導体メモリ素子の製造工程において、高密度な結晶粒子の集合体を有する強誘電体薄膜を形成するため、該強誘電体薄膜形成後に、その上に誘電体膜を設ける工程を追加することを特徴とする半導体メモリ素子の製造方法。

【請求項8】 上記請求項7の半導体メモリ素子の製造工程において、該強誘電体薄膜の粒界に誘電体膜を施した後、表面粗さを小さくするために、該誘電体膜を充填した該強誘電体薄膜表面を物理的あるいは化学的研磨加工あるいは両者組み合わせた加工を行うことにより、表面平滑性を実現する工程を追加することを特徴とする半導体メモリ素子の製造方法。

【請求項9】 上記請求項7乃至8の半導体メモリ素子の製造工程において、該誘電体膜がその少なくとも一部に $ABO_3$ の結晶あるいは非晶質あるいは両者の混合物であり、AはPb、La、Sr、NdおよびBaの中から少なくとも1つの元素、BはZr、Ti、Mn、Mg、Nb、Sn、SbおよびInの中から選択される少なくとも1つの元素よりなることを特徴とする半導体メモリ素子の製造方法。

【請求項10】 上記請求項1、2、3、4、5、6、7、8乃至9記載の半導体メモリ素子を搭載したICカード。

【請求項11】 上記請求項1、2、3、4、5、6、7、8乃至9記載の半導体メモリ素子を搭載したコンピュータ。

【請求項12】 上記請求項1、2、3、4、5、6、7、8乃至9記載の半導体メモリ素子を搭載した携帯情報端末機器。

【請求項13】 上記請求項1、2、3、4、5、6、7、8乃至9記載の半導体メモリ素子を搭載した映像音響機器。

【請求項14】 上記請求項1、2、3、4、5、6、7、8乃至9記載の半導体メモリ素子において、該強誘電体薄膜のキュリー温度が-20°C以下であり、メモリ動作時の環境において、該強誘電体薄膜が自発分極を示さないことを特徴とする半導体メモリ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強誘電体不揮発性メモリ及び高密度DRAMに最適な強誘電体薄膜コンデンサを用いた半導体メモリ素子及びその製造方法に関する。

## 【0002】

【従来の技術】従来の強誘電体薄膜コンデンサを用いた半導体メモリでは、例えば「強誘電体薄膜メモリ」（サイエンスフォーラム刊、1995年）227頁に記載されているように、Pt上部電極／強誘電体層（PZT）／Pt下部電極の積層構造を持っていた。この強誘電体層の製造方法としては、ゾルゲル法、スパッタ法、CVD法等が知られている。

【0003】例えば、特開平7-142600号公報に記載された薄膜の形成方法では、 $BaTiO_3$ の化合物をPt下部電極上に形成している。Pt薄膜の結晶配向をそのまま受け継ぐことにより、強誘電性薄膜の配向性を制御し、残留分極を確保していた。

【0004】また例えば、Journal of Materials Science Letters、1995、Vol14、pp.640-642に記載されたPZT強誘電体薄膜は、加熱しながら下部電極上にスパッタ法でPZTを成膜している。この強誘電体薄膜の走査電子顕微鏡による断面観察写真では、PZTの表面粗さの最大高低差は約90nmであり、表面粗さの標準

偏差は約15nmであった。

【0005】

【発明が解決しようとする課題】上記従来技術では、強誘電体薄膜の平滑性における表面粗さを制御することが困難であった。強誘電体薄膜をバーニングし、メモリキャバシタとした時に、表面粗さが大きいために、メモリセル間の特性ばらつきが大きくなる。その結果すべてのメモリセルで同時に十分な特性を得ることが困難であり、製造上の歩留まり低下を引き起こすという問題があった。またメモリセル内での強誘電体薄膜の表面粗さが大きいために、リーク電流の発生、あるいは粒界部分の電界集中による膜疲労の発生等が起こり、メモリセル性能上の問題となっていた。

【0006】本発明の目的は、上記課題を解決するために、メモリセル間で特性ばらつきの少ない強誘電体薄膜キャバシタを提供し、高集積強誘電体メモリを高性能化すると同時に製造歩留りを向上することにある。

【0007】

【課題を解決するための手段】基板上の少なくとも下部電極、強誘電体薄膜及び上部電極の積層構造よりなる強誘電体薄膜コンデンサをメモリキャバシタとして使用する半導体メモリ素子において、該強誘電体薄膜の膜厚方向を法線とした面内において、結晶粒子間(粒界)に誘電体である微結晶あるいは非晶質粒子が充填し、表面粗さの標準偏差を10nm以下に制御することにより、リーク電流や強誘電体薄膜内部や強誘電体薄膜と電極等との界面での電界集中によるキャバシタ間の印加実効電圧の低下を防ぐことができる。

【0008】また上記キャバシタの下部電極としてPt電極、あるいはPt合金を使用し、該下部電極を基板面に対して垂直方向に(111)優先配向とすることにより、その上に形成した強誘電体結晶粒子の配向性を向上することができる。これにより、メモリセル間の均一性をさらに向上することができる。また上記下部電極としてRu、Ir乃至同酸化物やPtと強誘電体薄膜中に含む元素との化合物を使用することによっても同様に達成される。

【0009】また強誘電体材料として、ペロブスカイト構造を有するABO<sub>3</sub>型酸化物を使用し、各強誘電体結晶粒子を基板面に対して垂直方向に(111)優先配向とすることにより、配向性ばらつきによる特性の不均一性を低減できる。該強誘電体の組成として、A= Pb、B=(Zr<sub>1-x</sub>、Ti<sub>x</sub>)を用いることにより、不揮発性メモリに好適な残留分極の大きい強誘電体薄膜を得ることができる。また該強誘電体組成がA=(Ba<sub>1-x</sub>、Sr<sub>x</sub>)、B=Tiを用いることにより、メモリ使用温度においてヒステリシスの無い常誘電層を得ることができ、DRAM等のキャバシタに好適な膜を得ることができる。

【0010】また、強誘電体薄膜の表面粗さの標準偏差

を小さくする手段として、該強誘電体薄膜の結晶粒子間の間隙(粒界)に充填するために、下部電極上に半導体装置に要求される膜厚の強誘電体薄膜を形成して結晶化させ、その上に該強誘電体材料に含まれる少なくとも1つ以上の元素の金属、酸化物あるいは化合物層を形成し、あるいは、粒界に充填させる誘電体層に、ペロブスカイト構造を有するABO<sub>3</sub>型酸化物を使用し、その組成としてA=Pb、B=(Zr<sub>1-x</sub>、Ti<sub>x</sub>)、A=(Ba<sub>1-x</sub>、Sr<sub>x</sub>)、B=Ti、あるいはTi、Ti<sub>x</sub>O<sub>x</sub>、Sr、SrO<sub>x</sub>を用いることにより、表面粗さの標準偏差の小さく、各結晶粒子が基板面に対し垂直方向に(111)優先配向である強誘電体キャバシタを得ることができる。その結果、強誘電性低下の原因である、絶縁物であるバイロクロア構造の結晶粒子や、ロゼッタ状のZrO<sub>x</sub>結晶粒子成長の抑制を可能となり、不揮発性メモリに最適な、残留分極値が大きい、かつリーク電流が小さい、かつ膜疲労(書き換えによる残留分極の低下)の小さい強誘電体薄膜を得ることができる。

【0011】

20 20 【発明の実施の形態】以下本発明の実施の形態を説明する。

【0012】(1) 強誘電体薄膜を搭載した半導体メモリ素子

図8は本発明装置の一実施の形態となる強誘電体薄膜を用いた半導体メモリ素子のキャバシタ部分の概要を示す断面図である。Si基板98上にメモリセルのトランジスタ部分となるCMOSを形成し、平坦化及び絶縁、保護のため絶縁層102を形成する。本発明の実施の形態では、BPSGと呼ばれるSiO<sub>2</sub>ガラス膜を膜厚30nmで形成してある。SiO<sub>2</sub>絶縁層102の上に、Ti接着層81(20nm)、Pt下部電極81(20nm)、本発明の結晶粒径の相対標準偏差が結晶粒子のを有する強誘電体Pb<sub>(1+y)</sub>(Zr<sub>1-x</sub>、Ti<sub>x</sub>)O<sub>3</sub>層104(250nm)、上部電極105(10nm)の積層構造よりなる強誘電体キャバシタを形成する。キャバシタ上には、層間絶縁層106及び配線層103を積層し、キャバシタ電極6、8とトランジスタとの配線を行っている。さらに上部にはSiO<sub>2</sub>等よりなる保護層107を成膜し、封止樹脂108でパッケージングを行っている。

【0013】(2) 強誘電体薄膜の結晶性

図3に、本発明のPZT強誘電体薄膜のX線回折パターンを示す。横軸に回折角2θ、縦軸にX線回折強度を示している。測定装置については、CuターゲットのX線管球をX線源に用いた粉末X線回折装置を使用した。このとき、強誘電体薄膜は111と222の回折ピークが測定され、他の100や110の回折ピークはほとんど測定できなかった。したがって、本発明の強誘電体薄膜は、基板面に対し垂直方向に(111)優先配向であることが分かった。また、電極Ptの回折ピーク111と

222や下地のTiの回折ピークが確認された。

【0014】(3)強誘電体薄膜の表面粗さ

図1は本発明装置の一実施の形態となる、下部電極11上に形成された強誘電体薄膜において、大粒径粒子13の粒界に小粒径粒子14で充填された表面粗さの標準偏差が10nm以下の強誘電体薄膜12を用いた半導体メモリ素子のキャパシタ部分の概要を示す上面および断面図である。また図2は本発明装置の一実施の形態となる、下部電極11上に形成された強誘電体薄膜において、該強誘電体薄膜の結晶粒子が膜厚方向に平行な柱状形状をもち、該柱状結晶粒子が膜厚方向で不連続あるいは連続に結晶粒径サイズ変化させて、緻密な結晶粒で構成した表面粗さの標準偏差が10nm以下の強誘電体薄膜であることを特徴とする半導体メモリ素子である。このとき該強誘電体薄膜12の表面粗さの平滑性は標準偏差Rmsとしては定義され、数1で表される。単位はnmであり、数値の大小によって、表面粗さの程度が大きいかあるいは小さいかを判断できる。

【0015】

【数1】

N: 表面凹凸各ポイント全データ数

z<sub>i</sub>: 表面凹凸各ポイント全データの最高値と最低値の差

z<sub>i</sub>(ave): Ziの平均値

Rms: 表面粗さ(標準偏差)

$$Rms = \sqrt{\frac{\sum_{i=1}^N (z_i - z_i(ave))^2}{N}}$$

【0016】表面粗さ標準偏差の解析については、走査型電子顕微鏡(SEM)、原子間力顕微鏡(AFM)あるいは断面透過型電子顕微鏡(TEM)により薄膜表面または断面像を測定して、強誘電体薄膜の膜厚方向の表面粗さとその標準偏差Rmsを求めた。ここで使用したAFMは、米国デジタルインスツルメンツ社製の走査型プローブ顕微鏡NanoScopeIIIaである。該AFMのプローブ(探針)先端の曲率半径は10nmであり、そのテバ角は35°である。このプローバを用いたとき、最表面の粒子と粒子間が80nmのとき、プローバの侵入深さの限界は110nmである。本実施の形態のAFM測定ではタッピングモードで行った。タッピングモードの詳細な原理は、東陽テクニカ発行の大型サンプルSPM観測システムオペレーションガイド(平成8年4月)に記載されている。

【0017】図4に、AFMでの表面粗さ測定の断面概要図を示す。AFM探針42で、誘電体膜44上を振動(タッピング)させながら走査させたとき、強誘電体薄膜表面の凹面すなわち粒界部分では大きく振幅し、凸面すなわち結晶粒子部分では小さく振幅する。この振幅を電気信号に変換して、表面粗さ41の粗さを測定する。

【0018】強誘電体薄膜表面粗さの算出については、実施の形態1で記述した、AFM、SEMあるいはTEMで求めた強誘電体薄膜の表面粗さ形状(曲面)に対して、以下の方法で表面粗さを見積もった。本実施の形態の一例として、表面粗さはAFMで測定した凹凸の全データの最高値と最低値の差の標準偏差で表した。数1は表面粗さRmsを、標準偏差で表した式である。単位はnmである。または、他の表面粗さの定義として、数2に中心面(この平面と表面形状がつくる体積はこの面に對し上下で等しくなる)に対する3次元の平均表面粗さを表す。単位はnmである。詳細は、東陽テクニカ発行の大型サンプルSPM観測システムオペレーションガイド(平成8年4月)に記載されている。

【0019】

【数2】

Lx: 表面のx方向の寸法

Ly: 表面のy方向の寸法

f(x,y): 中心面に対するラフネス曲面

Ra: 中心面に対する3次元の平均表面粗さ

$$Ra = \frac{1}{LxLy} \iint_0^{Ly} \iint_0^{Lx} f(x,y) dx dy$$

【0020】図5に、本実施の形態の一つとして表面粗さRmsの異なる該強誘電体膜に対する膜疲労(Fatigue)の結果の一例を示す。このとき、横軸は書換可能回数を示し、縦軸は、初期の自発分極値に対する書き換え後の自発分極値の比である。この図から、10<sup>9</sup>回の書き換え後では、該表面粗さRmsが10nmの場合、自発分極値の比は0.71であるが、Rmsが1~3nmの場合では、0.82~0.86である。すなわち、表面粗さRmsが小さい場合、書き換え可能回数は大きくなり、膜疲労は小さくなる。尚、自発分極値Psや膜疲労の物理的意味や定義、また測定・解析方法は、「強誘電体薄膜メモリ」(サイエンスフォーラム刊、1995年)や強誘電体材料に関する各種教科書に記載されている。

【0021】(4)強誘電体薄膜の製造方法

図6に本実施の形態における強誘電体薄膜の製造方法を示す。表面粗さの標準偏差が10nm以下の強誘電体薄膜を得るためにには、結晶粒界に充填する誘電体膜が必要である。はじめに下部電極上に、スパッタリング法あるいはゾル・ゲル法で、該強誘電体材料に含まれる少なくとも1つ以上の元素の金属、酸化物あるいは化合物の層を半導体メモリ素子に要求される膜厚分だけ結晶化前強誘電体薄膜61を設ける(図6(a))、その後、R TA(Rapid Thermal Annealing)装置を用い、ランプによる迅速な熱処理により結晶化を行い結晶誘電体薄膜62を作製する(図6(b))。

(b)）。ここで記載した結晶誘電体膜の大結晶粒子13としては、ペロブスカイト構造を有する $ABO_3$ 型酸化物を使用し、その組成としてA=Pb、B=(Zr<sub>1-x</sub>、Ti<sub>x</sub>)、A=(Ba<sub>1-x</sub>、Sr<sub>x</sub>)、B=Ti、あるいはTi、TiO<sub>x</sub>、Sr、SrO<sub>x</sub>を用いる。本発明の実施の形態の熱処理では、100%N<sub>2</sub>雰囲気中で600℃、30秒の熱処理を行うことにより、各結晶粒子がペロブスカイト構造であり、かつ基板面に対し垂直方向に(111)優先配向である強誘電体薄膜を得ることができる。次に、大粒径粒子13を形成した結晶化後強誘電体膜62上に、スパッタリング法あるいはゾル・ゲル法等で、粒界に充填される膜厚分だけ、充填誘電体膜63を成膜する(図6(c))。次に、キャバシタの側壁を加工形成し(図6(d))、さらに、誘電体膜の表面を研磨加工する(図6(e))。

【0022】以上の製造方法により、表面粗さの標準偏差が約2nmである(111)優先配向の強誘電体薄膜を得ることができるので、強誘電性劣化の原因である結晶粒界での電界集中やリーク電流の発生を抑制できる。したがって、高い残留分極値を有し、かつ膜疲労の小さい(書き換え可能回数の大きい)強誘電体キャバシタを得ることができる。

【0023】図7に、本発明の半導体メモリ素子の強誘電体薄膜キャバシタを製造するための成膜装置の一例を示す。基板搬入室79より搬入した基板1は、基板交換室74を経て、高真空雰囲気の中で成膜室(1)71、成膜室(2)72、成膜室(3)73の間を、基板交換用アーム77により搬送される。ここで成膜室(1)71にはマルチカソード型の高周波マグネットロンスパッタ方式を使用し、成膜室(2)72及び(3)73にはシングルカソード型のDCマグネットロンスパッタ方式を採用している。なお、本発明の実施の形態では、強誘電体層の成膜にマルチカソード型スパッタリング装置を用いたが、シングルカソード型でも可能である。その場合には、ターゲットとして、強誘電体PZT及び鉛酸化物PbO<sub>x</sub>の混合物焼結体を用いればよい。また成膜方法については、ゾル・ゲル法単独や上記スパッタリング装置との組み合せでもよい。

【0024】(5) 強誘電体薄膜を備えた半導体メモリを搭載したICカード

ICカードは、その場の要求に応じて様々な半導体メモリが使用されている。本発明の強誘電体薄膜を用いた半導体メモリは、不揮発性メモリである。本発明のICカードは、SRAM(Static Random Access Memory)のようにデータ保持に電池を内蔵する必要がないので、チップサイズの制限、携帯性、メンテナンスフリーの点で有利である。本発明の強誘電体薄膜を備えた半導体メモリは、高歩留りに製造できるので、低コストでICカードを供給することができる。また、不揮発性メモリの一つであるEEPROM

(Electrically Erasable Programmable Read Only Memory) (書き換え可能回数10<sup>4</sup>~10<sup>5</sup>回)より書き換え回数の向上が図られているので、ICカードの耐用年数が向上し、ランニングコストが低くなる。尚、ICカードの簡単なシステム構成の一例が、川合知二編著「消えないICメモリFRAMのすべて」(工業調査会刊、1996年)やアライズ社最新技術講座資料集「不揮発性強誘電体薄膜メモリの最新技術とプロセス技術課題」(アライズ社、1996年)に記載されている。

【0025】(6) 強誘電体薄膜を備えた半導体メモリを搭載したコンピュータ

従来のDRAM(Dynamic Random Access Memory)を搭載したコンピュータは、電源切断による作業データの消滅を防ぐことができない。本発明の強誘電体薄膜を用いた半導体メモリは不揮発性メモリである。したがって、本発明のコンピュータは、不意の停電でも直前までの作業状態を保持できる。

20 また、電源投入毎にシステムやアプリケーションを読み込む必要はなく、電源投入後すぐに作業を開始できる。また、無停電電源や電池を内蔵する必要がないので、コンピュータの小型化や重量軽減による携帯性の向上あるいは省スペース化を図ることができる。

【0026】(7) 強誘電体薄膜を備えた半導体メモリを搭載した携帯情報端末機器

本発明の携帯情報端末機器の一つである携帯電話について、その内蔵半導体メモリは小電力で駆動できる。また不揮発性メモリであるので、データ保存用の電源が不要になる。したがって従来のDRAMやSRAMやEEPROMを搭載した携帯情報端末機器に比べて、内蔵電池の小型化による本体重量の軽減や、電池の大容量化なしで本体駆動時間の長時間化が実現する。

【0027】(8) 強誘電体薄膜を備えた半導体メモリを搭載した映像音響機器

本発明の映像音響機器の一つであるビデオカメラは、画像や音声情報記録用のDRAMやSRAMやEEPROM等の半導体メモリ素子を内蔵した従来のビデオカメラに比べて、内蔵半導体メモリ素子の駆動電力は少なくて済み、またデータ保存用の電源が不要になる。そのため、内蔵電池の小型化による本体重量の軽減や、電池の大容量化なしで本体駆動時間の長時間化が可能になる。

【0028】

【発明の効果】本発明により、メモリセル間の特性ばらつきの少ない強誘電体キャバシタを実現でき、高品質で製造歩留りの高い半導体メモリ素子を得ることが可能になる。本発明の半導体メモリ素子は、データ保存用の電源不要、省電力駆動あるいは書き換え回数向上を可能にした不揮発性メモリである。したがって、本発明の半導

50 体メモリ素子を搭載したシステム装置については、内部

電源の小容量化や非内蔵化が可能になり、本体システム装置の小型化、耐用年数の増加あるいは低価格化が実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態となる結晶粒界に誘電体膜で充填された強誘電体薄膜を用いた半導体メモリ素子のキャバシタ部分の概要を示す上面および断面図である。

【図2】本発明の一実施の形態となる膜厚方向で不連続あるいは連続に結晶粒径を変化させた強誘電体薄膜を用いた半導体メモリ素子のキャバシタ部分の概要を示す上面および断面図である。

【図3】本発明の一実施の形態となる半導体メモリ素子中の強誘電体キャバシタのX線回折図である。

【図4】本発明の一実施の形態となる強誘電体薄膜のAFMによる表面粗さ測定の断面概要図である。

【図5】本発明の一実施の形態となる各表面粗さにおける膜疲労の変化を示す図である。

【図6】本発明の一実施の形態となる強誘電体薄膜を製造する方法の説明図である。

【図7】本発明の一実施の形態となる半導体メモリ素子の強誘電体薄膜キャバシタを製造するための成膜装置の一例を示す図である。

【図8】本発明装置の一実施の形態となる強誘電体薄膜を用いた半導体メモリ素子のキャバシタ部分の概要を示す断面図である。

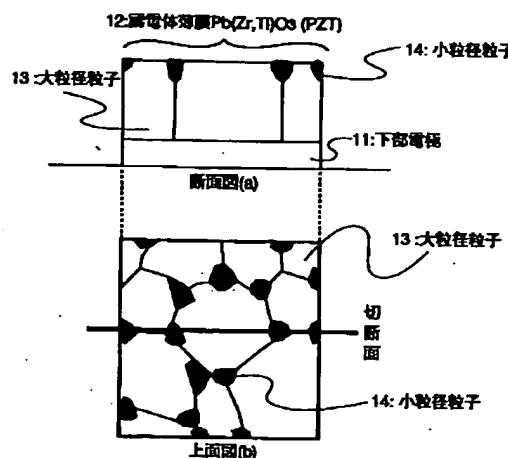
【符号の説明】

11…下部電極、12…強誘電体薄膜、13…大粒径粒子、14…小粒径粒子、41…表面粗さ、42…AFM

10 探針、43…結晶粒、44…誘電体膜、45…CMOS 基板、61…結晶化前強誘電体薄膜、62…結晶化後強誘電体薄膜、63…充填誘電体膜、71…成膜室 (1)、72…成膜室 (2)、73…成膜室 (3)、74…基板交換室、75…ゲートバルブ、76…平板型カソード、77…基板交換用アーム、78…Si基板、79…基板搬入室、81…封止樹脂、82…保護層、83…配線層、84…接着層、85…絶縁層、86…下地LSI、87…層間絶縁層、88…上部電極、89…強誘電体層。

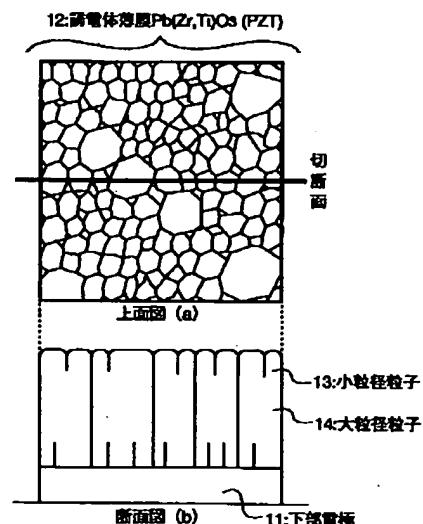
【図1】

図 1

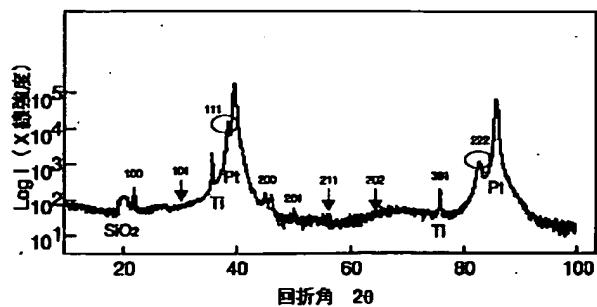


【図2】

図 2

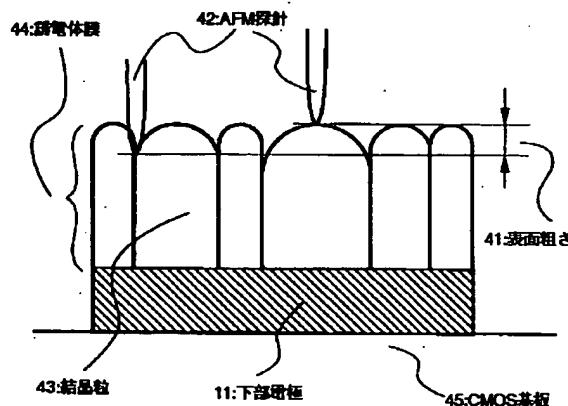


【図3】



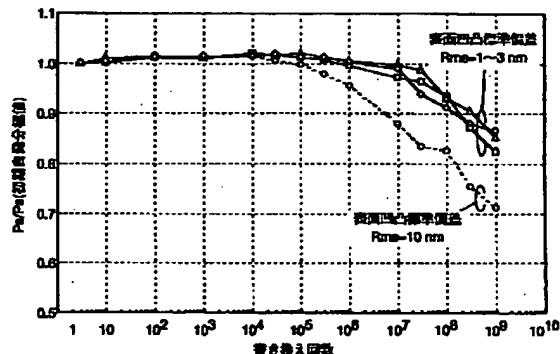
【図4】

図 4



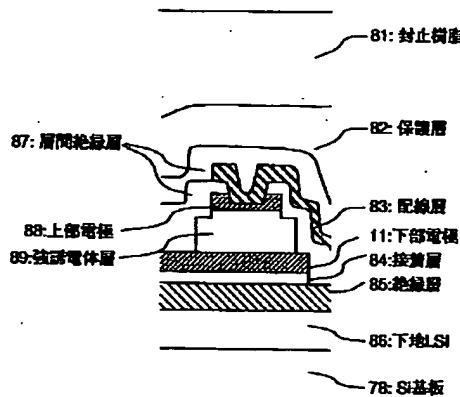
【図5】

図 5



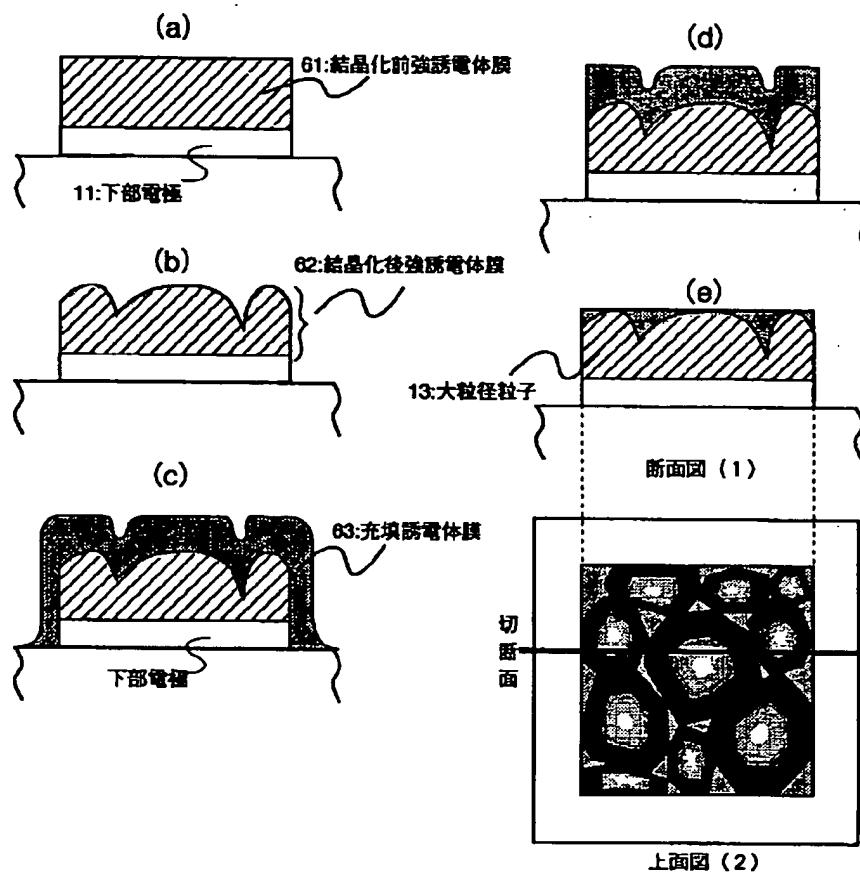
【図8】

図 8



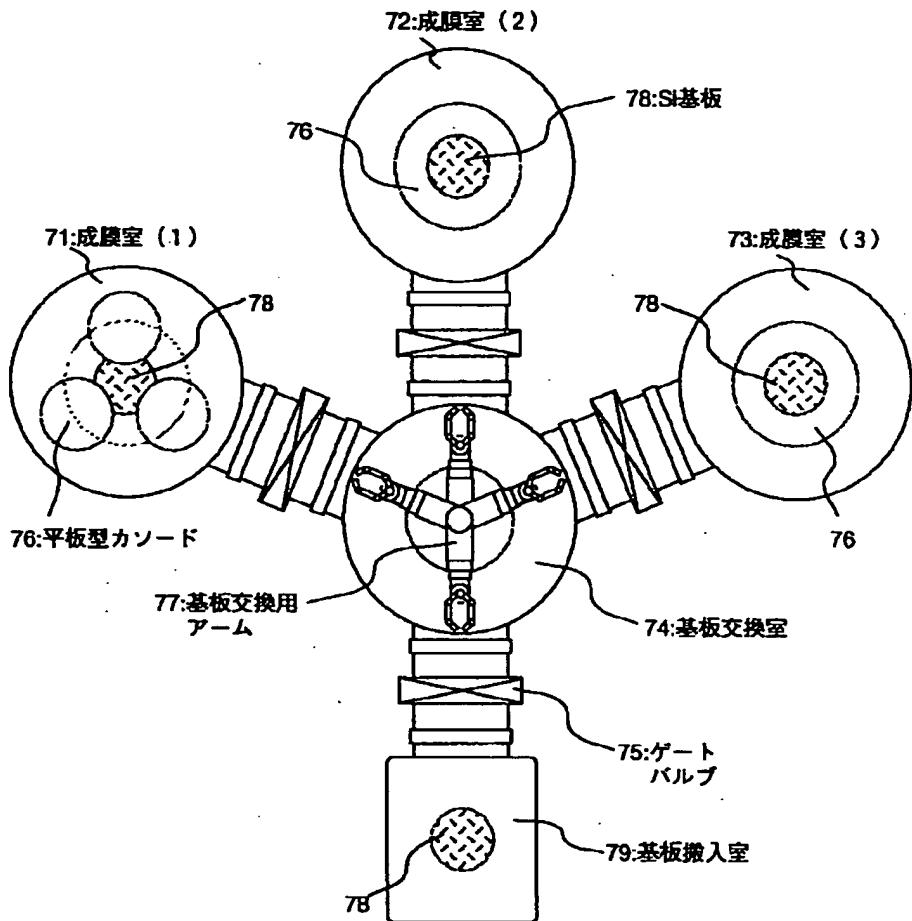
【図6】

図 6



【図7】

図 7



フロントページの続き

(72)発明者 吉住 圭一

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 森 光廣

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

F ターム(参考) 5F083 FR02 GA21 JA14 JA15 JA38

JA39 JA43 NA08 PR22 PR34